

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-326460

(43) 公開日 平成11年(1999)11月26日

(51) Int.Cl.⁶

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

G

H 0 1 L 27/04

H 0 1 L 27/04

T

21/822

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平10-139763

(22) 出願日 平成10年(1998) 5 月21日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 脇田 良孝

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

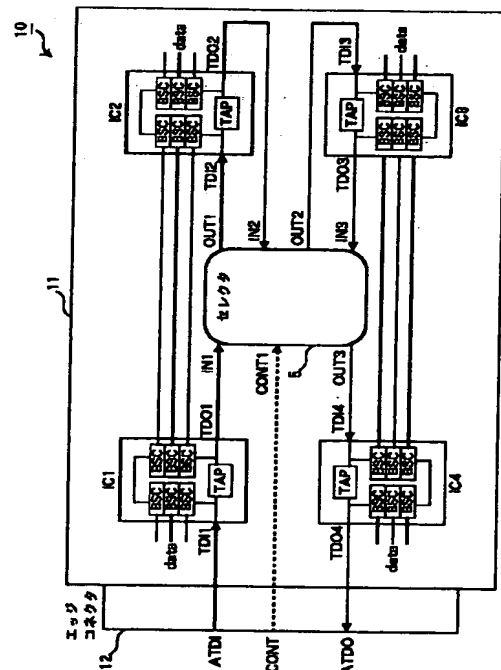
(74) 代理人 弁理士 鈴木 正剛

(54) 【発明の名称】 バウンダリスキャン回路

(57) 【要約】

【課題】 複数の I C を搭載した基板の一部をテストする場合のテスト時間を短縮化できるバウンダリスキャン回路を提供する。

【解決手段】 バウンダリスキャン回路は、同一のスキャンパス上に複数の I C (I C 1 ~ I C 4) を結合し、且つ各 I C を同一のセレクト 5 を介して接続し、セレクト 5 の内部パスで接続先を切り替えることにより、スキャンパスに送入されるテストデータを基板上にある特定の I C に任意に選択出力できるようにした。



REST AVAILABLE COPY

1

【特許請求の範囲】

【請求項 1】 バウンダリスキャン回路部を有する複数の集積回路を一つの基板上に搭載し、各集積回路がスキャンパスによりシリーズ接続されるバウンタリスキャン回路において、

初段の集積回路の入力端と最終段の集積回路の出力端を除くすべての集積回路の入出力端が前記スキャンパスを通じて集中的に接続され、一の集積回路の出力側スキャンパスと他の集積回路の入力側スキャンパスとを選択的に接続させる共通セレクトを前記基板上に配設したことを特徴とする、バウンダリスキャン回路。

【請求項 2】 バウンダリスキャン回路部を有する複数の集積回路を一つの基板上に搭載し、各集積回路がスキャンパスによりシリーズ接続されるバウンタリスキャン回路において、

初段の集積回路の入力端と最終段の集積回路の出力端を除くすべての集積回路の入出力端が前記スキャンパスを通じて集中的に接続され、一の集積回路の出力側スキャンパスと他の集積回路の入力側スキャンパスとを選択的に接続させる共通セレクトと、
所定のテストデータを前記初段の集積回路に入力するとともに前記テストデータを前記最終段の集積回路より取得するテストデータ入出力手段とを前記基板上に配設したことを特徴とする、バウンダリスキャン回路。

【請求項 3】 前記共通セレクトは、所定の選択信号の入力を契機に当該選択信号が表す集積回路同士の入出力端を内部パスの切り換えによって接続させるものであることを特徴とする、

請求項 1 または 2 記載のバウンダリスキャン回路。

【請求項 4】 バウンダリスキャン回路部を有する複数の集積回路を一つの基板上に搭載し、各集積回路がスキャンパスによりシリーズ接続されるバウンタリスキャン回路の前記基板上に設けられ、

初段の集積回路の入力端と最終段の集積回路の出力端を除くすべての集積回路の入出力端を前記スキャンパスを通じて集中的に接続させる複数の端子を有し、所定の選択信号に基づいて、一の集積回路の出力側スキャンパスと他の集積回路の入力側スキャンパスとを選択的に接続させる共通セレクトを前記基板上に配設したことを特徴とする、セレクト。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バウンダリスキャン回路部を有する集積回路（以下、一部を除いて IC と記す）を複数搭載し、各 IC がスキャンパスで接続された基板の製造不良をテストするバウンダリスキャン回路に関する。

【0002】

【従来の技術】複数の IC が搭載された基板の製造不良の有無をバウンダリスキャン方式でテストするバウンダ

2

リスキャン回路が知られている。この種のバウンダリスキャン回路は、図 6 に示すように、基板 61 上に複数の IC（IC1～IC4）と、所定のテストを接続するためのエッジコネクタ 62 とを配設したものである。初段の IC1 の TDI（TDI は Test Data Input の略、以下同じ）端子はエッジコネクタ 62 の ATDI 端子に接続され、IC2～IC4 については、それぞれ前段の IC の TDO（TDO は Test Data Output の略、以下同じ）端子が自己の TDI 端子に接続され、最終段の IC4 の TDO 端子は、エッジコネクタ 62 の ATDO 端子に接続されて、一本のスキャンパスが形成されている。

【0003】各 IC1～IC4 には、それぞれバウンダリスキャンを実現するための TDI 端子、TDO 端子、テスト・アクセス・ポート（以下、TAP）、テストデータを設定できる 1 ビットのレジスタである複数のバウンダリスキャン・セル（以下、BSC）が設けられており、テストを行うためのテストロジックと、通常動作を行うためのユーザロジックとが、図示しない制御信号によって自動的に切り替えられるようになっている。両ロジックは回路的に分離されており、テストロジックのときはユーザロジックには影響を及ぼさない。その逆も同様である。

【0004】図 6 に示すバウンダリスキャン回路 60 において、例えば IC3 内の 1 つのセル（テストデータ設定点 P とする）をテストする場合の動作は、下記のとおりである。まず、エッジコネクタ 62 に接続されたテスト（図示省略）から、ATDI 端子を通じてスキャンパスにテストデータを入力する。このテストデータは、IC2 の TDI 端子および TDO 端子を経由し、IC3 の TDI 端子に到達し、BSC へ設定される。テスト終了後のテストデータは、IC3 の TDO 端子から IC4 の TDI 端子、TDO 端子を介してエッジコネクタ 62 の ATDO 端子へ出力される。この場合のテストデータは、IC1 で 1 ビット、IC2 で 1 ビット、IC3 におけるテストデータ設定点 P で 3 ビットとなり、計 5 ビット必要となる。

【0005】

【発明が解決しようとしている課題】上述のように、従来のバウンダリスキャン回路では、基板 61 の一部の IC、例えば IC3 をテストする場合でも、すべての IC をテストする場合と同一長のテストデータを必要としていた。また、基板 61 上の IC のすべてを経由する、或いは経由するに等しいスキャンパス全体にテストデータを送出する必要があったため、テスト対象範囲が小さいにもかかわらず、テスト時間を短縮できないという問題もあった。

【0006】そこで、本発明の課題は、テストデータ長およびテストに要する時間を短縮することができるバウンダリスキャン回路を提供することにある。

【0007】

3

【課題を解決するための手段】上記課題を解決するため、本発明は、バウンダリスキャン回路部を有する複数の集積回路を一つの基板上に搭載し、各集積回路がスキャンパスによりシリーズ接続されるバウンタリスキャン回路において、初段の集積回路の入力端と最終段の集積回路の出力端を除くすべての集積回路の入出力端が前記スキャンパスを通じて集中的に接続され、一の集積回路の出力側スキャンパスと他の集積回路の入力側スキャンパスとを選択的に接続させる共通セレクトを前記基板上に配設したことを特徴とする。

【0008】本発明の他のバウンタリスキャン回路は、前記共通セレクトと、所定のテストデータを前記初段の集積回路に入力するとともに前記テストデータを前記最終段の集積回路より取得するテストデータ入出力手段とを前記基板上に配設したことを特徴とする。

【0009】なお、前記共通セレクトは、例えば所定の選択信号の入力を契機に当該選択信号が表す集積回路同士の入出力端を内部パスの切り換えによって接続させることを特徴とする。

【0010】本発明は、また、前記バウンタリスキャン回路の前記基板上に設けられ、初段の集積回路の入力端と最終段の集積回路の出力端を除くすべての集積回路の入出力端を前記スキャンパスを通じて集中的に接続させる複数の端子を有し、所定の選択信号に基づいて、一の集積回路の出力側スキャンパスと他の集積回路の入力側スキャンパスとを選択的に接続させる共通セレクトを前記基板上に配設したセレクトを提供する。

【0011】

【発明の実施の形態】以下、図面を参照して、本発明のバウンタリスキャン回路の実施形態を詳細に説明する。図1は、本実施形態のバウンタリスキャン回路の構成図である。このバウンタリスキャン回路10は、基板11上の複数のIC、例えばIC1～IC4間を1本のスキャンパスで接続するとともに、スキャンパス上のテストデータのバス切替を行うセレクト5と、テストを接続するためのエッジコネクタ12とを備えて構成される。

【0012】スキャンパスは、以下のように接続して形成される。

- ・エッジコネクタ12のATDI端子とIC1のTDI1端子、
- ・IC1のTDO1端子とセレクト5のIN1（入力）端子、
- ・IC2のTDO2端子とセレクト5のIN2（入力）端子、
- ・IC3のTDO3端子とセレクト5のIN3（入力）端子、
- ・セレクト5のOUT1（出力）端子とIC2のTDI2端子、
- ・セレクト5のOUT2（出力）端子とIC3のTDI3端子、

4

- ・セレクト5のOUT3（出力）端子とIC4のTDI4端子、
- ・IC4のTDO4端子とエッジコネクタ6のATDO端子。

【0013】セレクト5のセレクト制御信号入力端子（以下、CONT1端子）には、エッジコネクタ12のセレクト制御信号端子（以下、CONT端子）を介してテストからのセレクト制御信号が入力されるようになっている。このセレクト制御信号は、後述するように、セレクト5の内部バスを選択的に切り換えるための制御信号である。

【0014】図2は、IC1～IC4の詳細ブロック図である。ここでは、各IC1～IC4が共通構造を有するものとして、一つのICについてののみ示してある。IC1～IC4は、それぞれバウンタリスキャン機能を実現するためのTDI端子、TDO端子、TAP、6つのBSCを有し、さらに、テスト対象となる内部論理回路（そのICでのロジックを実現する回路）及びデータ入力端子（IN）端子、データ出力（OUT）端子を有している。

【0015】各BSCは、内部論理回路部とIN端子との間、内部論理回路部とOUT端子との間にそれぞれ接続されている。破線は、IC内部のスキャンパスである。TDI端子から入力されたテストデータは、TAP（被テストICでない場合）または各BSC（被テストICの場合）を介してTDO端子へ導かれるようになっている。

【0016】次に、本実施形態のバウンタリスキャン回路10の動作を説明する。ここでは、図3に示すように、IC3内のテストデータ設定点Pをテストする場合の動作について説明する。まず、テストからセレクト5にセレクト制御信号を入力し、セレクト5の内部バスを「IN1端子→OUT2端子」に設定する。次いで、テストからエッジコネクタ12のATDI端子にテストデータを入力する。入力されたテストデータは、IC1のTAPを経由してセレクト5のIN1端子に入力され、さらにセレクト5の内部バスを介してOUT2端子に導かれる。従って、テストデータのビット長は、IC1のTAP1で1ビット、IC3のBSCで3ビットを必要とするだけなので、4ビットで足りることになる。

【0017】次に、本実施形態によるセレクト5の具体的な構成例を説明する。このセレクト5は、基板11上の特定のICをテストする前に、エッジコネクタのCONT端子にセレクト制御信号を入力し、テストデータを目的のICへ最短で出力できるように内部バスを切り替える。このような機能を実現するための内部バスの構成例を図4に示してある。図4の黒丸はセレクト制御信号によって選択可能なパターンを示している。つまり、IN1端子はOUT1端子～OUT3端子のいずれか、IN2端子はOUT2端子またはOUT3端子、IN3端

5

子はOUT3端子に接続できるようになっている。

【0018】このようなセクタ5を用いて各ICのテストを行う場合の内部バスの切替パターンを図示したのが図5である。図示の場合の内部バスの切替方式は、以下の3通りある。

第1の切替パターン：IN1端子とOUT1端子とを接続させるとともに（細い実線）、IN2端子をOUT2端子（太い長破線）またはOUT3端子（短破線）に接続させる。OUT2端子に接続した場合は、IN3端子とOUT3端子とを接続させる（細い長破線）。このような切替パターンでは、IC1に入力されたテストデータは、IC2、IC3を通じてIC4に入力されるため、テストデータ設定点がどこにあってもテストデータ長は同じ（最大）となる。

【0019】第2の切替パターン：IN1端子とOUT2端子とを接続させ（太い実線）、同時にIN3端子とOUT3端子とを接続させる（細い長破線）。このような切替パターンでは、IC1に入力されたテストデータは、IC3を通じてIC4に入力される。従って、IC2をバイパスできる分だけ、テストデータ長は短くなる。この切替パターンは、テストデータ設定点がIC3内のBSCである場合に最短のスキャンパスとなる。図3を用いた前述のテスト動作は、このような切替パターンを選択したものである。

【0020】第3の切替パターン：IN1端子とOUT3端子のみを接続する（細い実線）。この切替パターンは、テストデータ設定点がIC4内のBSCである場合に最短のスキャンパスとなる。

【0021】このように、本実施形態のバウンダリスキャン回路では、セクタ5の内部バスを切り替えること * 30

6

*によって、テストデータを基板11上の特定のICをバイパスさせて目的のICにスキャンパスに出力できるようにしたので、テストデータ長を短くすることができ、また、テスト対象範囲が小さい場合にはテスト時間を短縮できるようになる。

【0022】

【発明の効果】以上の説明から明かなように、本発明によれば、テストデータ長およびテストに要する時間を短縮できるという、特有の効果がある。

10 【図面の簡単な説明】

【図1】本発明のバウンダリスキャン回路の実施形態を示した構成図である。

【図2】バウンダリスキャン回路部を有する集積回路の詳細ブロック図である。

【図3】本実施形態のバウンダリスキャン回路の動作説明図であり、特に、スキャンパスに入力されたテストデータを経由させる集積回路の接続先を切り替えるセクタの動作について説明するための図である。

20 【図4】本実施形態によるセクタの内部バスの構成例を示す説明図である。

【図5】本実施形態によるセクタの内部バスの切替動作の具体例を示した図である。

【図6】従来のバウンダリスキャン回路の構成図である。

【符号の説明】

10、60 バウンダリスキャン回路

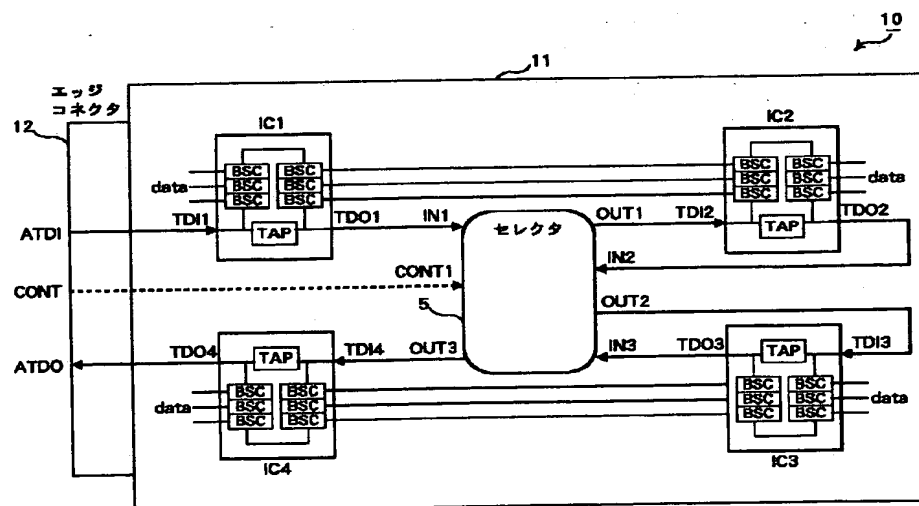
5 セクタ

6 エッジコネクタ

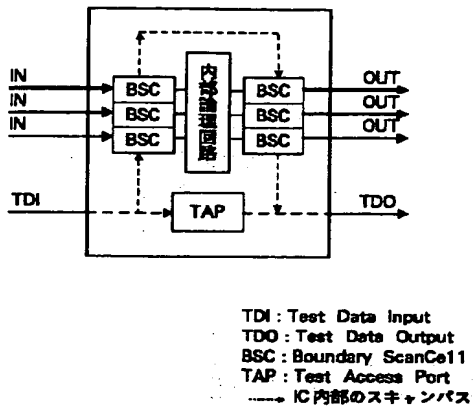
11 基板

12 エッジコネクタ

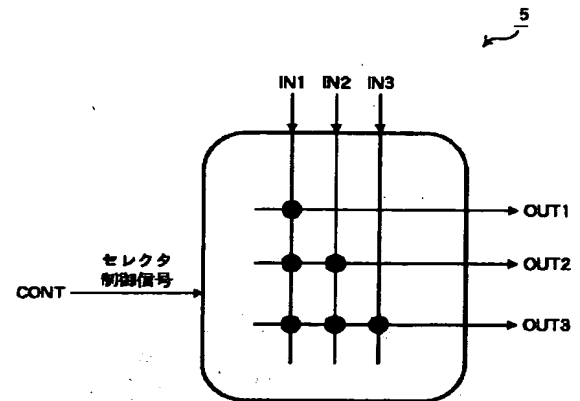
【図1】



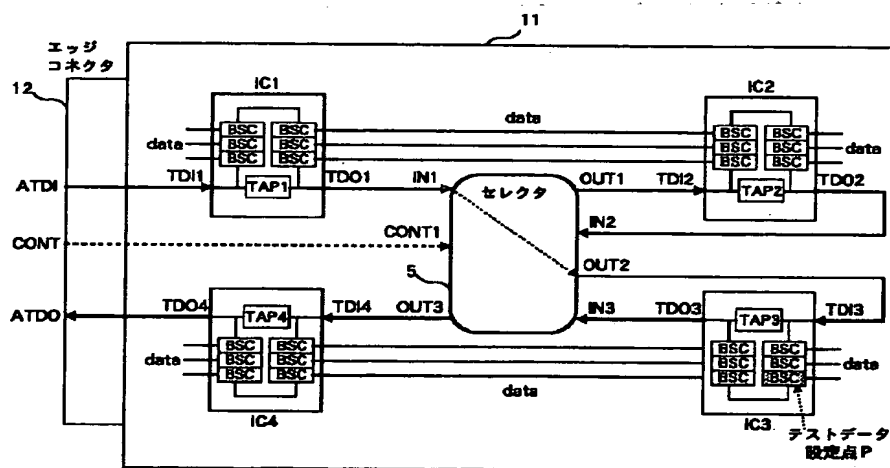
【図 2】



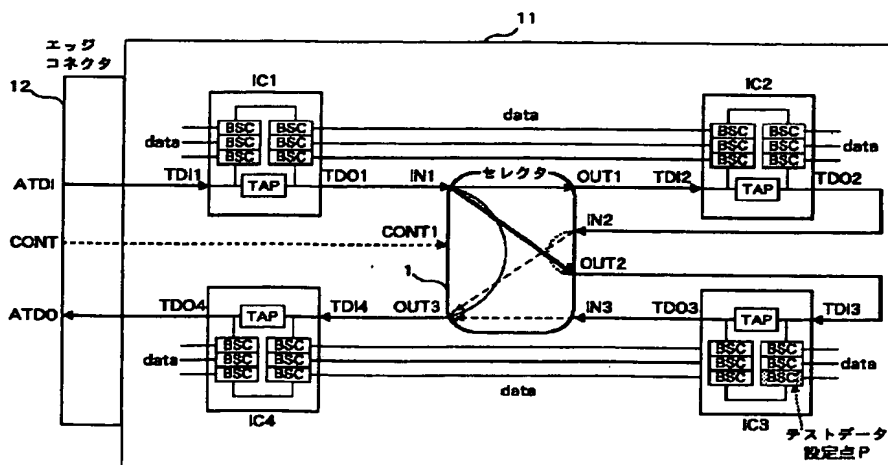
【図 4】



【図 3】



【図 5】



【図 6】

